




Handwritten mark resembling a stylized 'A' or '4'.

Docket No.: MUH-12870

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: January 23, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/696,368
Applicant : Ordwin Haase
Filed : October 29, 2003

Docket No. : MUH-12870
Customer No.: 24131

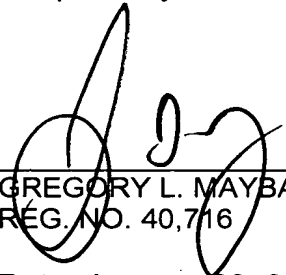
CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 50 359.1 filed October 29, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: January 23, 2004

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/av

Handwritten mark resembling a stylized '2' or 'v'.

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 50 359.1

Anmeldetag: 29. Oktober 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Gleichspannungsschaltregler

IPC: H 02 M 3/156

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 28. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A large, stylized handwritten signature in black ink, which appears to be 'Schäfer'. The signature is written in a cursive, flowing style with long, sweeping strokes.

Schäfer

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12273

Ko/Ant/mk

Anmelderzeichen: 2002P10588 DE
(2002 E 10587 DE)

29.10.2002

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

Gleichspannungsschaltregler

Beschreibung

Gleichspannungsschaltregler

- 5 Die Erfindung betrifft einen Gleichspannungsschaltregler gemäß dem Oberbegriff des Patentanspruchs 1.

Die Ausregelung unterschiedlicher Lasten, die Einhaltung eines gewünschten Eingangsspannungs/Ausgangsspannungs-
10 Verhältnisses und Stabilität sind für einen Schaltregler Eigenschaften, die sich im Prinzip widersprechen und von daher mit unterschiedlichen Konzepten gelöst werden.

Ein erstes Konzept bildet der "Voltage Mode"-Regler. Dessen
15 Vorteile sind die Möglichkeit eines kontinuierlichen Strommodus unter optimaler Ausnutzung der externen Bauelemente, eine feste Schaltfrequenz, die die Dimensionierung der externen Filter vereinfacht, eine sehr gute statische Lastausregelung durch Integratorverhalten und die Möglichkeit eines kleinen
20 Tastverhältnisses. Die Nachteile des "Voltage Mode"-Reglers sind indessen mäßige dynamische Eigenschaften, eine aufwändige Kompensierung und der Wegfall einer Strombegrenzung.

Eine Alternative bildet der "Current Mode"-Regler, dessen
25 Vorteile die Möglichkeit eines kontinuierlichen Strommodus, bei dem der Ausgangsstrom des Reglers stets über Null bleibt, eine feste Schaltfrequenz, gute dynamische Eigenschaften, der Wegfall der Notwendigkeit einer Kompensation und die systembedingte Strombegrenzung sind. Die Nachteile des "Current
30 Mode"-Reglers sind die schlechte statische Lastausregelung und dass ein kleines Tastverhältnis nur mit höherem Schaltungsaufwand bei verschlechterten Eigenschaften realisierbar ist.

35 Eine weitere Alternative eines Schaltreglers ist der so genannte DCM-Regler (DCM = "Discontinuous Current Mode"). Des-

sen Vorteil ist, dass er keinerlei Stabilitätsprobleme hat, und seine Nachteile sind in der niedrigen Schaltfrequenz und der Variation derselben zu sehen.

5 Eine vierte Möglichkeit, einen Schaltregler zu realisieren, ist der "Hysteresis Voltage Mode"-Regler. Dieser bietet die Vorteile, dass er ein kleines Tastverhältnis ermöglicht und beste statische und dynamische Eigenschaften besitzt. Seine Nachteile sind in seiner variablen Frequenz, die von externen
10 Parametern abhängt und dem Wegfall einer Strombegrenzung zu sehen.

Ziel der Erfindung ist es, die guten Eigenschaften des Hysteresis Voltage Mode-Reglers zu nutzen und dessen Nachteile zu
15 beseitigen.

Es ist deshalb Aufgabe der Erfindung, einen Gleichspannungsschaltregler zu ermöglichen, der ein großes Eingangsspannungs/Ausgangsspannungs-Verhältnis mit besten Stabilitätseigenschaften bei minimalen Ausgangskapazitäten, eine große
20 Lastausregelung und einen weiten Laststrombereich bei einer festgelegten Schaltfrequenz kombiniert.

Die Aufgabe wird anspruchsgemäß gelöst.
25

Gemäß einem wesentlichen Aspekt der Erfindung ist ein die obige Aufgabe lösender Gleichspannungsschaltregler mit einer Leistungsschalteneinrichtung, die eine Treiberschaltung hat, einer L-C-Filterschaltung, die im Hauptstromkreis der Leistungsschalteneinrichtung eingeschaltet ist und einen Ausgangs-
30 anschluss des Gleichspannungsschaltreglers aufweist; einer der L-C-Filterschaltung parallel geschalteten Abkommutierschaltung; einer ein Hystereseverfahren aufweisenden Vergleicherschaltung, die einen mit der Treiberschaltung der Leistungsschalteneinrichtung verbundenen Ausgang hat, wobei ein
35 erster Eingangsanschluss der Vergleicherschaltung mit dem

Ausgangsanschluss des Gleichspannungsschaltreglers und ein zweiter Eingangsanschluss der Vergleicherschaltung mit einem eine Referenzspannung des Gleichspannungsschaltreglers vorgebenden Referenzspannungsgenerator verbunden sind, dadurch gekennzeichnet, dass die Treiberschaltung eine Logikschaltung mit wenigstens zwei Eingängen aufweist, von denen ein erster Eingang mit dem Ausgang der Vergleicherschaltung zum Empfang einer Ausschaltbedingung für die Leistungsschaltseinrichtung verbunden und ein zweiter Eingang zum Empfang einer Einschaltbedingung für die Leistungsschaltseinrichtung mit einem Triggertaktsignal fester Frequenz beaufschlagt ist, wobei ein von der Logikschaltung erzeugtes Ausgangssignal die Leistungsschaltseinrichtung immer nach einer gleichen durch die Frequenz des Triggertaktsignals bestimmten Zeit einschaltet und, sobald die Ausgangsspannung des Gleichspannungsschaltreglers die Referenzspannung erreicht, ausschaltet.

Demgemäß ist bei dem erfindungsgemäßen Gleichspannungsschaltregler die untere Einschaltsschwelle durch eine schwellenunabhängige Frequenztriggerung ersetzt. Von außen betrachtet erscheint diese Frequenz als eine variable Einschaltsschwelle. Damit ist die Frequenz des erfindungsgemäßen Gleichspannungsschaltreglers festgelegt und man behält dennoch die Vorteile des Hysteresereglers:

- schnelle Einschwingzeiten bei Laständerung;
- größtmögliche Lastausregelung und
- geringe Systemstromaufnahme, da intern nur wenige einfache Komponenten zu versorgen sind.

Die Ausschaltbedingung bleibt gleich wie bei einem herkömmlichen Hysteresegleichspannungsschaltregler, nämlich ein Spannungsgrenzwert am Ausgang des Leistungsschaltreglers.

Der erfindungsgemäße Gleichspannungsschaltregler kann dadurch vorteilhaft ausgestaltet werden, dass die Einschaltbedingung durch die obere Schwelle blockiert wird. Dies bedeutet, dass

nicht eingeschaltet wird, solange die obere Schwelle nicht unterschritten wird. Hierdurch werden kleinere Frequenzen als die interne ermöglicht.

5 Gemäß einem bevorzugten Ausführungsbeispiel weist der Gleichspannungsschaltregler im Hauptstromkreis der Leistungsschalt-
einrichtung eine Stromerfassungsschaltung zur Erfassung einer
durch die Leistungsschalteneinrichtung fließenden maximalen
Stromstärke auf, und die Logikschaltung besitzt ein Oder-
10 Glied zur Oder-Verknüpfung der von der Ausgangsspannung und
von der erfassten Maximalstromstärke abgeleiteten Ausschalt-
bedingung. Diese Stromerfassungsschaltung dient als zusätzli-
ches Abschaltkriterium und begrenzt so den Strom durch die
Spule. Dieser Zusatz ermöglicht außerdem einen strombegrenz-
15 ten Hochlauf.

Ein derartiger Gleichspannungsschaltregler kann aufgrund des integrierenden Charakters der Lastkapazität instabil werden, wenn der äquivalente Serienwiderstand (ESR) sehr klein wird
20 bzw. wenn die Lastkapazität tatsächlich dominant ist. Der äquivalente Serienwiderstand ESR setzt sich aus den ohmschen Anteilen der Leistungsschalteneinrichtung und der LC-
Filterschaltung zusammen. Eine Stabilisierung ist möglich, wenn man, wie bei einem bevorzugten Ausführungsbeispiel der
25 Erfindung den Referenzspannungsgenerator mit einer eine Rampenspannung erzeugenden Schaltung verbindet, die die dem zweiten Eingangsanschluss der Vergleicherschaltung zugeführte Referenzspannung periodisch mit der Rampenspannung variiert.
Durch die Maßnahme wird dem Gleichspannungsschaltregler er-
30 findungsgemäß keine konstante Referenzspannung sondern eine durch das Rampensignal variable Referenzspannung zugeführt.
Die die Rampenspannung erzeugende Schaltung wird vom Trigger-
taktsignal getriggert, so dass das erzeugte Rampensignal die gleiche Frequenz wie das Triggertaktsignal hat. Eine lineare
35 Rampe stabilisiert den Gleichspannungsschaltregler erheblich. Mit dieser Rampe wird intern ein ESR nachgebildet. Noch bes-

sere Eigenschaften zeigt eine nicht lineare Rampe, zum Beispiel eine progressiv abfallende Rampe, wie eine quadratische oder exponentielle Rampe oder auch eine linear approximierte, progressiv abfallende Rampe. Durch die progressiv abfallende
5 Rampe wird ein Schließen des Schalters erzwungen.

Der erfindungsgemäße Gleichspannungsschaltregler wird vorteilhaft dadurch weitergebildet, dass eine eine übergroße Ausgangsspannung am Ausgangsanschluss des Gleichspannungsschaltreglers erfassende Überspannungsschutzschaltung vorgesehen ist, die eine zweite ein Hystereseverhalten aufweisende Vergleicherschaltung besitzt, deren erster Eingangsanschluss mit dem Ausgangsanschluss des Gleichspannungsschaltreglers, deren zweiter Eingangsanschluss mit einem Überspannungsreferenzsignal verbunden ist und deren Ausgangssignal im Oderglied der Logikschaltung als weitere Ausschaltbedingung zugeführt wird, wo es mit der von der erfassten Maximalstromstärke abgeleiteten ersten Ausschaltbedingung oderiert wird.

Eine derartige, eine Überspannung am Ausgang verhindernde, Überspannungsschutzschaltung kann vorteilhafterweise auch mit der einen Überstrom am Ausgang verhindernden Stromerfassungsschaltung kombiniert werden. Das Überspannungsreferenzsignal für die Überspannungsschutzschaltung kann vorteilhafterweise eine durch eine Offsetspannung von der Referenzgleichspannung versetzte Referenzspannung sein.

Bei einem weiteren Ausführungsbeispiel ist der erfindungsgemäße Gleichspannungsschaltregler so gestaltet, dass er die Hystereseregulation nur im diskontinuierlichen Strombetrieb ausführt und im kontinuierlichen Strombetrieb als "Current-Mode"-Regler arbeitet. Bei diesem Ausführungsbeispiel des Gleichspannungsschaltreglers ist eine Kompensation für kleinen ESR nicht notwendig.

Vorteilhafterweise kann der Logikschaltung ein Zeitglied nachgeschaltet sein, welches die Leistungsschalteneinrichtung eine kurze Zeit eingeschaltet lässt, unabhängig davon, ob eine Ausschaltbedingung zu dieser Zeit detektiert wird.

5

Die obigen und weitere vorteilhafte Merkmale der Erfindung werden in der nachfolgenden Beschreibung, die sich auf die Zeichnung bezieht, näher erläutert.

10 Die Zeichnungsfiguren zeigen im einzelnen:

Fig. 1 ein Schaltschema eines nicht zur Erfindung zählenden Vergleichsbeispiels eines als Abwärtsregler arbeitenden Gleichspannungsschaltreglers mit Hysterese-funktion;

15

Fig. 2 Signalzeitdiagramme zur Erläuterung der Funktion des in Fig. 1 dargestellten Gleichspannungsschaltreglers;

20

Fig. 3 ein schematisches Schaltdiagramm eines ersten Ausführungsbeispiels der Erfindung;

Fig. 4 ein schematisches Schaltdiagramm eines zweiten Ausführungsbeispiels der Erfindung mit einer Strombegrenzungseinrichtung;

25

Fig. 5 ein schematisches Schaltdiagramm eines dritten Ausführungsbeispiels der Erfindung, das zusätzlich zur Strombegrenzung auch eine Überspannungsschutzschaltung aufweist;

30

Fig. 6 ein viertes Ausführungsbeispiel der Erfindung mit einer so genannten "Low-ESR"-Kompensation;

35

Fig. 7 Signalzeitdiagramme zur Erläuterung der Funktion der in Fig. 6 dargestellten Schaltung eines erfindungsgemäßen Gleichspannungsschaltreglers und

5 Fig. 8 ein schematisches Schaltdiagramm eines fünften Ausführungsbeispiels der Erfindung, bei dem die Hystereseregulierung nur im diskontinuierlichen Betrieb und als bekannter "Current-Mode"-Schaltregler im kontinuierlichen Strombetrieb arbeitet.

10 Bevor nun bevorzugte Ausführungsbeispiele und Varianten davon Bezug nehmend auf die Zeichnungsfiguren beschrieben werden, wird anhand der Fig. 1 und 2 ein Vergleichsbeispiel eines als
15 Abwärtsregler arbeitenden Hysterese-Gleichspannungsschaltreglers zum besseren Verständnis der Erfindung erläutert.

20 Fig. 1 zeigt schematisch ein Schaltdiagramm eines als Abwärtsregler arbeitenden Hysterese-Gleichspannungsschaltreglers, der nicht zur Erfindung zählt.

25 Im Hauptstromkreis einer an eine Gleichspannungsquelle 9 der Spannung U_{Batt} angeschlossenen und schematisch als Schalter angedeuteten Leistungsschalteneinrichtung 1 liegen eine LC-
30 Filterschaltung, bestehend aus einer Induktivität (L) 3, einer Kapazität (CL) 4 und einem äquivalenten Serienwiderstand (ESR) 5. Eine als Lastwiderstand (RL) dargestellte Last 6 ist der Kapazität 4 und dem äquivalenten Serienwiderstand 5 parallel geschaltet, und der LC-Filterschaltung 3, 4, 5 ist
35 eine Abkommutierschaltung parallel geschaltet, die hier durch eine einzige Diode 7 symbolisiert ist. Die Last 6 liegt an einem Ausgangsanschluss A des Gleichspannungsschaltreglers, und eine geregelte Ausgangsspannung U_A wird am Ausgangsanschluss A abgegeben. Mit Hilfe einer Treiberschaltung 2, die vereinfacht als Verstärker dargestellt ist, wird ein die Leistungsschalteneinrichtung 1 ein- und ausschaltendes Aus-

gangssignal entsprechend den zwei Eingängen der Treiberschaltung 2 eingegebenen Ein- und Ausschaltbedingungen erzeugt. Diese Einschaltbedingung und Ausschaltbedingung wird von einer Hysterese-Komparatorschaltung erzeugt, die in Fig. 1 vereinfacht zwei Hysteresekomparatoreinheiten 8a, 8b und zwei Eingänge E1, E2 aufweist. Der erste Eingang E1 dieser Komparatorschaltung ist mit der am Ausgang A des Gleichspannungsschaltreglers liegenden Ausgangsspannung U_A beaufschlagt, während der zweite Eingang E2 der Hysteresekomparatorschaltung 8a, 8b mit einer Referenzspannung (U_{ref}) 10 beaufschlagt ist. Dabei bildet ein Offsetglied 11 eine Offsetspannung $= -dU$ von der Referenzspannung U_{ref} , so dass die dem einen Eingang der Treiberschaltung 2 zugeführte Ausschaltbedingung "AUS" vorliegt, wenn die Ausgangsspannung U_A am Ausgangsanschluss A des Gleichspannungsschaltreglers über die am Komparator 8a eingestellte obere Schwelle geht. Umgekehrt wird die dem zweiten Eingang der Treiberschaltung 2 zum Einschalten der Leistungsschalteneinrichtung 1 zugeführte Einschaltbedingung "EIN" erzeugt, wenn die am Ausgangsanschluss A erzeugte Ausgangsspannung U_A des Gleichspannungsschaltreglers unter die durch die von der Referenzspannung U_{ref} abgeleitete Offsetspannung dU im Hysteresekomparator 8b gebildete untere Schwelle geht.

Fig. 2 zeigt typische, bei dem in Fig. 1 dargestellten Gleichspannungsschaltregler auftretende Signalformen: Die erste Zeile zeigt den Spannungsverlauf am Knoten T1 des Gleichspannungsschaltreglers. Diese an T1 abfallende Spannung ist nach oben (Pfeil a) durch die Gleichspannung U_{batt} begrenzt, während sie nach unten (Pfeil b) durch die Differenz zwischen dem Erdpotential U_{gnd} und der Spannung der Diode 7 begrenzt ist. Die Signalform T2 zeigt den Stromverlauf durch die Induktivität 3 und gestrichelt (Pfeil c) den mittleren Spulenstrom. In der dritten Zeile T3 ist der Strom durch den Leistungsschalter 1 dargestellt, wenn der Gleichspannungsschaltregler im Current Mode arbeitet. Die beiden unteren

Zeilen T4 und T5 der Fig. 2 zeigen jeweils den Verlauf der Ausgangsspannung U_A am Ausgangsanschluss A und zwar jeweils bei großem ESR und kleinem ESR. Der Signalverlauf T4 in der zweitletzten Zeile der Fig. 2 zeigt, dass der in Fig. 1 dargestellte Gleichspannungsschaltregler zwischen den Spannungsschwellen U_{\max} und U_{\min} hin- und herschaltet. Beim Pfeil g schaltet der Schaltregler ein und beim Pfeil f aus. Damit ist die Schaltfrequenz vom äquivalenten Serienwiderstand ESR, insbesondere vom ohmschen Anteil der verwendeten Ausgangskapazität CL abhängig, da die Spannung über ESR, die durch den Strom durch die Spule multipliziert mit dem Wert des Widerstandes ESR entsteht, die Regelgröße ist. Je größer der Widerstandswert ESR des äquivalenten Serienwiderstandes 5 ist, um so schneller wird die Hysteresespannung erreicht, und um so größer ist auch die diesem Widerstandswert ESR proportionale Schaltfrequenz des Reglers.

Wird dagegen der Widerstand sehr klein (letzte Zeile T5 in Fig. 2) bleibt als Regelgröße nur noch das integrale Verhalten der Kapazität CL selbst. Die Frequenz wird sehr klein, bis der Regler instabil wird. Für diese in Fig. 1 dargestellte Schaltung eines Gleichspannungsschaltreglers gibt es für jede externe Kapazität der Last 6 eine optimale Hysteresespannung. Bei extrem kleinen Serienwiderständen der Lastkapazität ist eine zusätzliche Stabilisierung notwendig. Um die extreme Abhängigkeit der Schaltfrequenz des in Fig. 1 dargestellten Gleichspannungsschaltreglers von dem Wert ESR des äquivalenten Serienwiderstandes 5 zu eliminieren, wird beim so genannten "Current Mode"-Hystereseschaltregler direkt auf den Strom geregelt. Dadurch entfällt die Abhängigkeit vom äquivalenten Serienwiderstand 5. Dennoch bleibt die Abhängigkeit von der Größe der Spule 3 und von deren ESR.

Es bleibt zu erwähnen, dass die in Fig. 1 als einfacher Schalter dargestellte Leistungsschalteinrichtung 1 durch jede bekannte Leistungsschalteinrichtung, zum Beispiel unter Ein-

satz eines DMOS-Schalters, eines Bipolarschalters oder dergleichen realisiert werden kann.

Das gilt auch für die Diode 7, sie kann auch intern als
5 Schalter realisiert werden.

In Fig. 3 ist schematisch ein Schaltbild eines ersten Ausführungsbeispiels eines erfindungsgemäßen Gleichspannungsschaltreglers 100 dargestellt. Diese Schaltungsanordnung ist bis
10 auf die Erzeugung des Ein- und Ausschaltsignals gleichartig mit dem oben beschriebenen und in den Fig. 1 und 2 dargestellten Gleichspannungsschaltregler. Demgemäß liegt im Hauptstromkreis einer von einer Eingangsspannungsquelle 109 der Spannung U_{batt} gespeisten Leistungsschalteneinrichtung 101
15 eine LC-Filterschaltung, die in Fig. 3 durch eine Serienschaltung aus einer Induktivität (L) 103, einer Kapazität (CL) 104 und einem äquivalenten Serienwiderstand (ESR) 105 repräsentiert ist. Der Lastwiderstand (RL) ist mit 106 und die Abkommutierschaltung mit einer Diode 107 bezeichnet. Am
20 Ausgang A des erfindungsgemäßen Gleichspannungsschaltreglers wird die Ausgangsspannung U_A abgegriffen und einem ersten Eingangsanschluss E1 einer Vergleicherschaltung 108 mit Hystereseeigenschaft eingegeben. Am zweiten Eingangsanschluss E2 der Vergleicherschaltung 108 liegt die Referenzspannung
25 U_{ref} , die durch eine Spannungsquelle 110 symbolisiert ist. Die Treiberschaltung ist hier eine Logikschaltung 102, -wobei diese in Fig. 3 zwei Eingänge R, S und einen Ausgang Q hat, und von diesen ist ein erster Eingang R mit dem Ausgang der Vergleicherschaltung 108 zum Empfang der Ausschaltbedingung
30 für die Leistungsschalteneinrichtung 101 und der zweite Eingang S mit einem Triggertaktsignal 111 fester Frequenz beaufschlagt, welches die Einschaltbedingung für die Leistungsschalteneinrichtung 101 liefert.

35 Durch das feste Triggertaktsignal 111 schaltet das von der Logikschaltung 102 erzeugte Ausgangssignal Q die Leistungs-

schalteinrichtung 101 immer nach einer bestimmten Zeit ein, die durch die Frequenz des Triggertaktsignals 111 bestimmt wird, und die Logikschaltung 102 schaltet den mit ihrem Ausgang verbundenen Leistungsschalter 101 aus, sobald die Ausgangsspannung U_A des Gleichspannungsschaltreglers 100 die Referenzspannung U_{ref} erreicht. Von außen betrachtet erscheint die Frequenz des Triggertaktsignals 111 als eine variable Einschaltsschwelle. Durch das Triggertaktsignal 111 fester Frequenz ist die Frequenz des erfindungsgemäßen Gleichspannungsschaltreglers festgelegt und man erhält trotzdem die Vorteile des Hysteresereglers:

- schnelle Einschwingzeiten bei Laständerungen;
- größtmögliche Lastausregelung und
- geringe Systemstromaufnahme aus der Eingangsspannungsquelle 109, da intern nur wenige und einfache Komponenten zu versorgen sind.

Um auch bei kleinen Lasten regeln zu können, kann man die Einschaltbedingung durch die obere Schwelle (U_{max} in Fig. 2) blockieren. Das heißt, dass nicht eingeschaltet wird, solange die obere Schwelle nicht unterschritten wird.

Bei einem in Fig. 4 schematisch gezeigten zweiten Ausführungsbeispiel eines erfindungsgemäßen Leistungsschaltreglers ist eine an sich bekannte Stromerfassungsschaltung eingefügt, die in Form eines im Hauptstromkreis der Leistungsschalteinrichtung 101 liegenden Strommesswiderstands 120 und einer Vergleicherschaltung 121 veranschaulicht ist, deren einen Überstrom durch die Leistungsschalteinrichtung 101 angegebendes Ausgangssignal einem Eingang eines Oderglieds 112 der Logikschaltung zugeführt ist, dessen anderer Eingang das Ausschaltkriterium von der Hysteresevergleicherschaltung 108 empfängt und das diese beiden Ausschaltbedingungen oderiert. In allen anderen Schaltungseinzelheiten gleicht das in Fig. 4 dargestellte Ausführungsbeispiel dem oben beschriebenen und in Fig. 3 dargestellten ersten Ausführungsbeispiel des erfin-

dungsgemäßen Gleichspannungsschaltreglers 100. Das in Fig. 4 dargestellte zweite Ausführungsbeispiel ermöglicht demnach mit der Stromerfassungsschaltung 120, 121 eine Begrenzung der durch die Leistungsschalteneinrichtung 101 fließenden Stromstärke. Dieser Zusatz ermöglicht prinzipiell außerdem einen strombegrenzten Hochlauf des Gleichspannungsschaltreglers 100.

Ein in Fig. 5 dargestelltes drittes Ausführungsbeispiel eines erfindungsgemäßen Gleichspannungsschaltreglers 100 kombiniert die zuvor beschriebene Strombegrenzung mittels der Stromerfassungsschaltung 120, 121 mit einer Ausgangsspannungsbegrenzung und weist eine übergroße Ausgangsspannung U_A am Ausgangsanschluss A des Gleichspannungsschaltreglers 100 erfassende Überspannungsschutzschaltung 108b auf. Diese Überspannungsschutzschaltung besitzt eine zweite, ein Hystereseverhalten aufweisende Vergleicherschaltung 108b mit zwei Eingängen und einem Ausgang. Ein Eingangsanschluss der Vergleicherschaltung 108b ist mit der Ausgangsspannung U_A des Gleichspannungsschaltreglers 100 und der andere Eingang der zweiten Vergleicherschaltung 108 mit einer Überspannungsbedingung angegebenden Referenzspannung 122 beaufschlagt. Das eine Überspannungsbedingung angegebende Ausgangssignal der Vergleicherschaltung 108b ist als dritte Ausschaltbedingung einem Eingang des Oder-Glieds 112 angelegt, das damit drei Eingänge besitzt. In allen anderen Schaltungsdetails gleicht das in Fig. 5 dargestellte dritte Ausführungsbeispiel des erfindungsgemäßen Gleichspannungsschaltreglers 100 den zuvor beschriebenen und in den Fig. 3 und 4 dargestellten erfindungsgemäßen Ausführungsbeispielen.

Wie schon erwähnt, ist der zuvor beschriebene Gleichspannungsschaltregler der Erfindung aufgrund des integralen Charakters der Lastkapazität instabil, wenn der äquivalente Serienwiderstand ESR sehr klein oder wenn die Lastkapazität tatsächlich dominant ist.

Gemäß einem in Fig. 6 dargestellten vierten Ausführungsbeispiel wird der erfindungsgemäße Gleichspannungsschaltregler 100 durch eine der Referenzspannung U_{ref} von der Referenzspannungsquelle 110 überlagerte Rampenspannung stabilisiert.

5 Dazu weist dieses Ausführungsbeispiel gemäß der in Fig. 6 dargestellten Schaltungsanordnung einen Rampenspannungsgenerator 130 auf, dessen Rampensignal $ramp$ vom Triggertaktsignal 111 getriggert, das heißt synchron mit diesem erzeugt wird. Dieses Rampensignal $ramp$ kann zum Beispiel eine lineare Rampe
10 haben, die den erfindungsgemäßen Gleichspannungsschaltregler 100 bereits erheblich stabilisiert. Die in der Fig. 7 dargestellten Signalzeitdiagramme T6 - T9 veranschaulichen verschiedene, in der in Fig. 6 dargestellten Schaltungsanordnung des erfindungsgemäßen Gleichspannungsschaltreglers 100 auf-
15 tretende Signale, die getriggert und synchronisiert mit dem in dem mit T9 bezeichneten, in der letzten Zeile der Fig. 7 enthaltenen Triggertaktsignal 111 verlaufen. Der mit T6 bezeichnete Signalverlauf in der obersten Zeile der Fig. 7 zeigt den Fall eines linearen Rampensignals $ramp$. Getriggert
20 vom Triggertaktsignal 111 (T9) wird die Leistungsschalteneinrichtung immer zu den Zeitpunkten g eingeschaltet. Ausgeschaltet wird zu den Zeitpunkten f , wenn die Ausgangsspannung U_A die mit dem Rampensignal $ramp$ überlagerte Referenzspannung U_{ref} erreicht.

25

Während das lineare Rampensignal $ramp$ den Gleichspannungsschaltregler 100 bereits erheblich stabilisiert, zeigt ein progressiv, zum Beispiel quadratisch oder exponentiell abfallendes Rampensignal $ramp$, bessere Stabilität. Durch die stärkere Steigung mit fortschreitender Zeit wird ein Ausschalten der Leistungsschalteneinrichtung erzwungen. Diese Verhältnisse
30 sind in den mit T7 und T8 bezeichneten Signalverläufen jeweils in der zweiten und dritten Zeile der Fig. 7 veranschaulicht. Das Rampensignal $ramp$ des Signalverlaufs T7 ist quadratisch und das Rampensignal T8 ist ebenfalls progressiv
35 abfallend, zum Beispiel exponentiell. Der Signalverlauf T8

zeigt den Fall eines sehr kleinen äquivalenten Serienwiderstandes ESR. Die Punkte f veranschaulichen wie beim Signalverlauf T6 auch bei den Signalverläufen T7 und T8 jeweils die Ausschaltzeitpunkte, während die Punkte g jeweils die vom Triggertaktsignal 111 erzwungenen Einschaltzeitpunkte bezeichnen.

Ein in Fig. 8 gezeigtes fünftes Ausführungsbeispiel des erfindungsgemäßen Gleichspannungsschaltreglers ist so eingerichtet, dass er als Hystereseregler nur im diskontinuierlichen Strombetrieb arbeitet, so dass eine Kompensation für niedriges ESR nicht notwendig ist. Im kontinuierlichen Strombetrieb arbeitet der in Fig. 8 dargestellte erfindungsgemäße Gleichspannungsschaltregler 100 wie ein bekannter "Current Mode"-Regler. Bei geringen Spulenströmen sind der Fehlerverstärker 123 und der als spannungsgesteuerte Stromquelle arbeitende Vergleicher 121 nur noch sehr schwach angesteuert. Dieser Strom reicht nicht mehr aus, um den Hysteresevergleicher 108a anzusteuern. Die Ausgangsspannung U_A des Gleichspannungsschaltreglers 100 wandert langsam nach oben, bis die Schwelle des Überspannungsvergleichers 108b erreicht ist. Letzterer sorgt nun dafür, dass die Leistungsschaltanordnung 101 ausgeschaltet wird. Somit liegt für kleine Ausgangsströme derselbe Betriebsfall wie in Fig. 6 vor.

Ein Gleichspannungsschaltregler 100 gemäß Fig. 8 wurde zu Versuchszwecken als integrierte Schaltung realisiert. Diese Realisation zeigte eine sehr gute Stabilität in einem Strombereich bis 1 Ampere.

Patentansprüche

1. Gleichspannungsschaltregler (100) mit
- einer Leistungsschaltseinrichtung (101), die eine Treiber-
5 schaltung (102) hat,
 - einer L-C-Filterschaltung (103-105), die im Hauptstromkreis
der Leistungsschaltseinrichtung (101) eingeschaltet ist und
einen Ausgangsanschluss (A) des Gleichspannungsschaltreg-
lers (100) aufweist;
 - 10 - einer der L-C-Filterschaltung (103-105) parallel geschalte-
ten Abkommutierschaltung (107);
 - einer ein Hystereseverfahren aufweisenden Vergleicherschalt-
tung (108; 108a, 108b), die einen mit der Treiberschaltung
(102) der Leistungsschaltseinrichtung (101) verbundenen Aus-
15 gang hat, wobei
 - ein erster Eingangsanschluss (E1) der Vergleicherschaltung
(108; 108a, 108b) mit dem Ausgangsanschluss (A) des Gleich-
spannungsschaltreglers (100) und ein zweiter Eingangs-
anschluss (E2) der Vergleicherschaltung (108; 108a, 108b) mit
20 einem eine Referenzspannung (Uref) des Gleichspannungs-
schaltreglers (100) vorgebenden Referenzspannungsgenerator
(110) verbunden sind,
- d a d u r c h g e k e n n z e i c h n e t ,
- 25 dass die Treiberschaltung (102) eine Logikschaltung (102,
112) mit wenigstens zwei Eingängen aufweist, von denen ein
erster Eingang (R) mit dem Ausgang der Vergleicherschaltung
(108) zum Empfang einer Ausschaltbedingung für die Leistungs-
schaltseinrichtung (101) verbunden und ein zweiter Eingang (S)
zum Empfang einer Einschaltbedingung für die Leistungsschalt-
30 einrichtung (101) mit einem Triggertaktsignal (111) fester
Frequenz beaufschlagt ist, wobei ein von der Logikschaltung
(102, 112) erzeugtes Ausgangssignal die Leistungsschalt-
einrichtung (101) immer nach einer gleichen durch die Frequenz
des Triggertaktsignals (111) bestimmten Zeit einschaltet und,
35 sobald die Ausgangsspannung (U_A) des Gleichspannungsschalt-

reglers (100) die Referenzspannung (U_{ref}) erreicht, ausschaltet.

2. Gleichspannungsschaltregler (100) nach Anspruch 1,
5 d a d u r c h g e k e n n z e i c h n e t ,
dass im Hauptstromkreis der Leistungsschalteneinrichtung (101) eine Stromerfassungsschaltung (120, 121) zur Erfassung einer durch die Leistungsschalteneinrichtung (101) fließenden maximalen Stromstärke (I_{max}) vorgesehen ist, und die Logikschaltung
10 (102, 112) ein Oderglied (112) zur Oder-Verknüpfung der von der Ausgangsspannung (U_A) und von der erfassten Maximalstromstärke (I_{max}) abgeleiteten Ausschaltbedingung aufweist.

3. Gleichspannungsschaltregler (100) nach Anspruch 1 oder 2,
15 d a d u r c h g e k e n n z e i c h n e t ,
dass der Referenzspannungsgenerator (110) mit einer Rampenschaltung (130) verbunden ist, die die dem zweiten Eingangsanschluss (E2) der Vergleicherschaltung (108) zugeführte Referenzspannung (U_{ref}) periodisch mit einem Rampensignal
20 (ramp) variiert.

4. Gleichspannungsschaltregler (100) nach Anspruch 3,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Rampenschaltung (130) mit dem Triggertaktsignal
25 (111) beaufschlagt ist, so dass das Rampensignal (ramp) vom Triggertaktsignal (111) getriggert ist.

5. Gleichspannungsschaltregler (100) nach Anspruch 3 oder 4,
d a d u r c h g e k e n n z e i c h n e t ,
30 dass das Rampensignal (ramp) eine abfallende Rampe bildet.

6. Gleichspannungsschaltregler (100) nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Rampe des Rampensignals (ramp) linear abfällt.

7. Gleichspannungsschaltregler (100) nach Anspruch 5,
dadurch gekennzeichnet,
dass das Rampensignal (ramp) nichtlinear abfällt.

5 8. Gleichspannungsschaltregler (100) nach Anspruch 3 oder 4,
dadurch gekennzeichnet,
dass das Rampensignal (ramp) eine quadratisch oder progressiv
abfallende Rampe bildet.

10 9. Gleichspannungsschaltregler (100) nach Anspruch 2,
dadurch gekennzeichnet,
dass ferner eine übergroße Ausgangsspannung (U_A) am
Ausgangsanschluss (A) des Gleichspannungsschaltreglers (100)
erfassende Überspannungsschutzschaltung (123) vorgesehen ist,
15 die eine zweite, ein Hystereseverhalten aufweisende Ver-
gleicherschaltung (108b) beaufschlagt, deren erster Eingangs-
anschluss mit dem Ausgangsanschluss (A) des Gleichspannungs-
schaltreglers (100), deren zweiter Eingangsanschluss mit
einem Überspannungsreferenzsignal verbunden ist und deren
20 Ausgangssignal dem Oderglied (112) der Logikschaltung als
weitere Ausschaltbedingung zugeführt wird, wo es mit der von
der erfassten Maximalstromstärke (I_{\max}) abgeleiteten ersten
Ausschaltbedingung oderiert wird.

25 10. Gleichspannungsschaltregler (100) nach Anspruch 9,
dadurch gekennzeichnet,
dass das Überspannungsreferenzsignal um eine Offsetspannung
(dU) von der Referenzgleichspannung (U_{ref}) versetzt ist.

30 11. Gleichspannungsschaltregler (100) nach Anspruch 9,
dadurch gekennzeichnet,
dass er die Hysterese-
regelung nur im diskontinuierlichen
Strombetrieb ausführt und im kontinuierlichen Strombetrieb
als "current-mode"-Regler arbeitet.

12. Gleichspannungsschaltregler (100) nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Logikschaltung (102, 112) derart gestaltet ist, dass
5 sie den Einschaltvorgang blockiert, wenn die Vergleichsschaltung (108) am Ausgangsanschluss (A) des Gleichspannungsschaltreglers (100) ein Signal detektiert, welches größer ist als die Einschaltswelle.

10 13. Gleichspannungsschaltregler (100) nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Logikschaltung (102, 112) ferner ein Zeitglied (τ) aufweist, welches die Leistungsschalteinrichtung (101) eine
15 kurze Zeit eingeschaltet lässt, unabhängig davon, ob die Logikschaltung (102, 112) eine Ausschaltbedingung detektiert hat.

Zusammenfassung

Gleichspannungsschaltregler

- 5 Die Erfindung betrifft einen Gleichspannungsschaltregler (100) mit einer Leistungsschalteneinrichtung (101), die eine Treiberschaltung (102) hat, einer L-C-Filterschaltung (103-105), die im Hauptstromkreis der Leistungsschalteneinrichtung (101) eingeschaltet ist und einen Ausgangsanschluss des
- 10 Gleichspannungsschaltreglers (100) aufweist; einer der L-C-Filterschaltung (103-105) parallel geschalteten Abkommutierschaltung (107); einer ein Hystereseverfahren aufweisenden Vergleicherschaltung (108), die einen mit der Treiberschaltung (102) der Leistungsschalteneinrichtung (101) verbundenen
- 15 Ausgang hat, wobei ein erster Eingangsanschluss (E1) der Vergleicherschaltung (108) mit dem Ausgangsanschluss des Gleichspannungsschaltreglers und ein zweiter Eingangsanschluss (E2) der Vergleicherschaltung (108) mit einem eine Referenzspannung (Uref) des Gleichspannungsschaltreglers
- 20 (100) vorgebenden Referenzspannungsgenerator (110) verbunden sind. Die Treiberschaltung hat eine Logikschaltung mit wenigstens zwei Eingängen (R, S), von denen ein erster Eingang (R) mit dem Ausgangssignal der Vergleicherschaltung und ein zweiter Eingang (S) mit einem Triggertaktsignal fester Frequenz beaufschlagt ist. Dieser Gleichspannungsschaltregler
- 25 vereinigt die guten Eigenschaften der Hystereseregulierung mit einer festen Schaltfrequenz.

(Fig. 3)

Bezugszeichenliste

100	Gleichspannungs-Schaltregler
1, 101	Leistungsschalteinrichtung
2, 102	Treiberschaltung; Logikschaltung
3, 103	Spule
4, 104	Lastkapazität CL
5, 105	äquivalenter Serienwiderstand ESR
6, 106	Lastwiderstand RL
7, 107	Abkommutiereinrichtung (Diode)
8a, 8b, 108, 108a, 108b	Hysteresevergleicher
9, 109	Eingangsspannung Ubatt
10, 110	Referenzspannung Uref
11	Offsetspannung dU
111	Triggertaktsignal
112	Oder-Glied
120, 121	Überstromerfassungsschaltung
122	Überspannungsreferenz
130	Rampensignalgenerator
A	Ausgangsanschluss
U _A	Ausgangsspannung
AUS, EIN	Aus- und Einschaltbedingung
U _{gnd}	Erdpotential
T1 - T8	Signalverläufe
a - g	Zeitpunkte der Signalverläufe
U _{max}	maximale Ausgangsspannung
U _{min}	minimale Ausgangsspannung
ramp	Rampenspannung

FIG 1

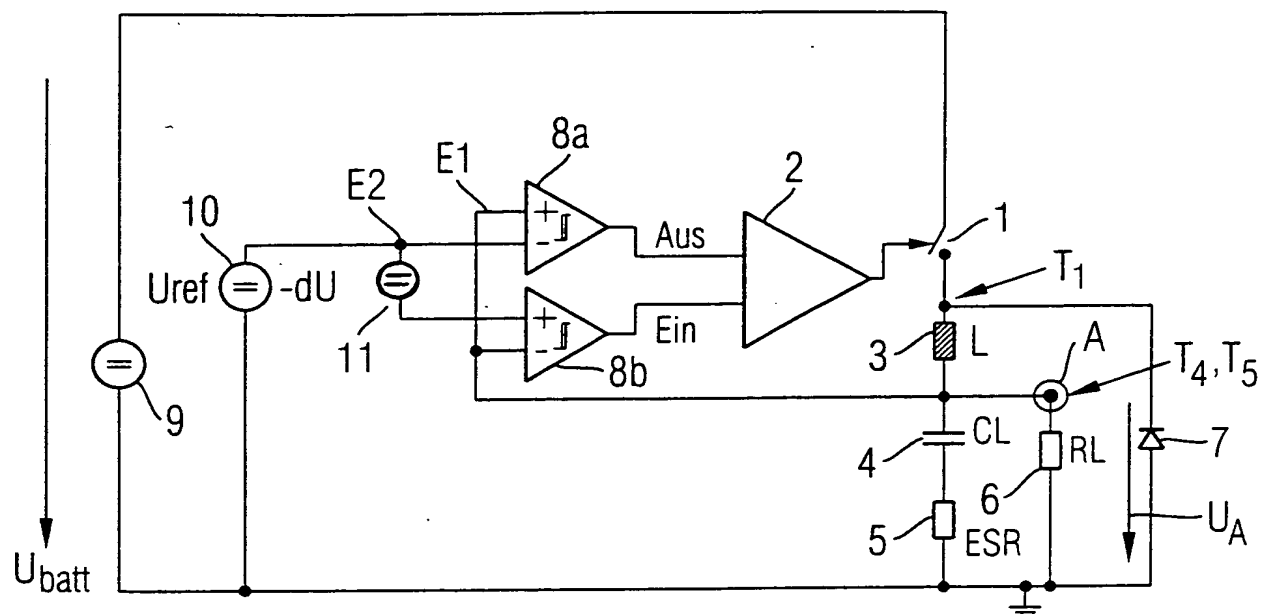


FIG 2

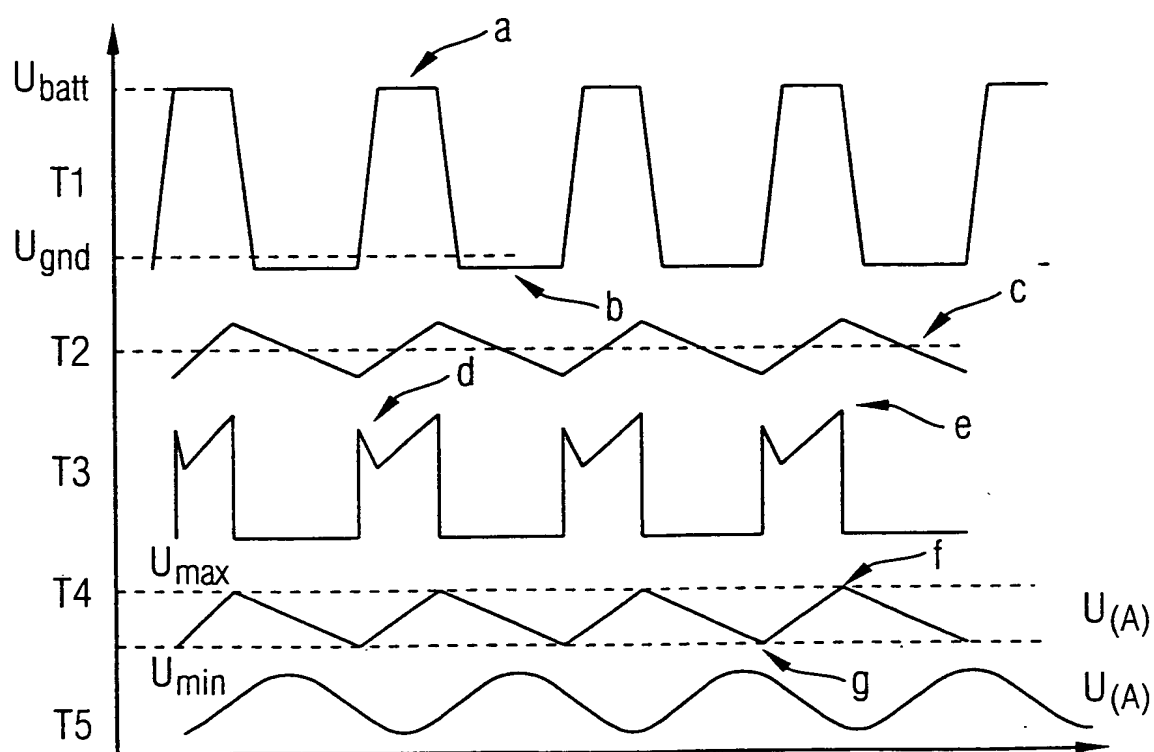


FIG 3

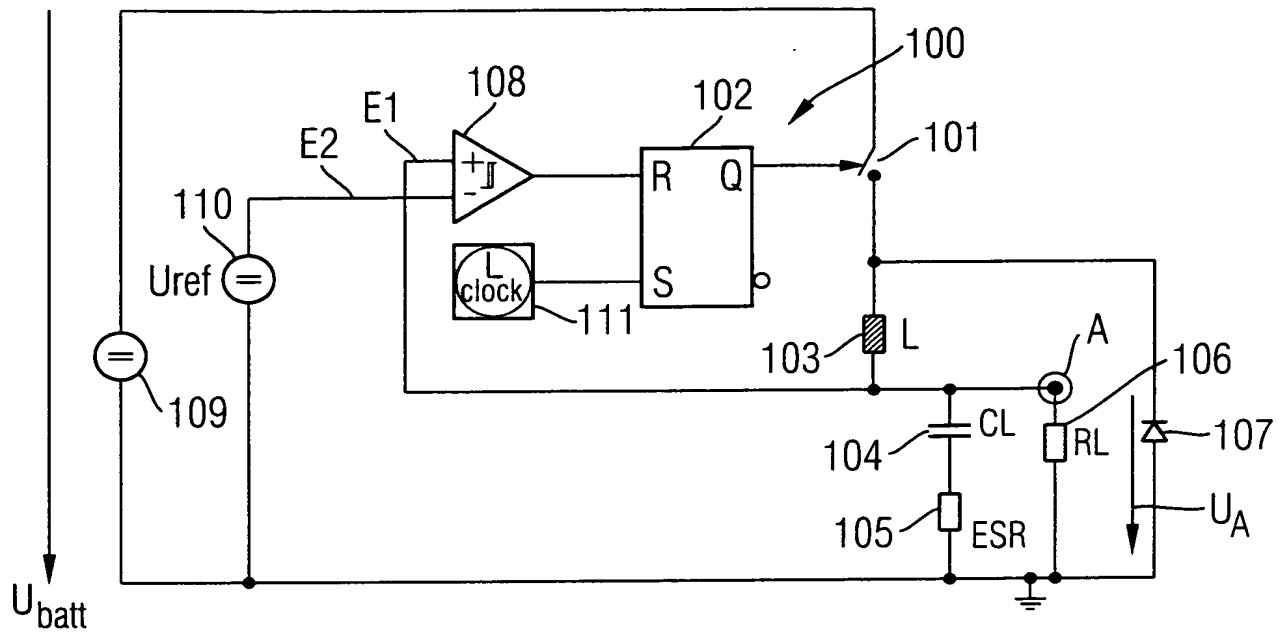


FIG 4

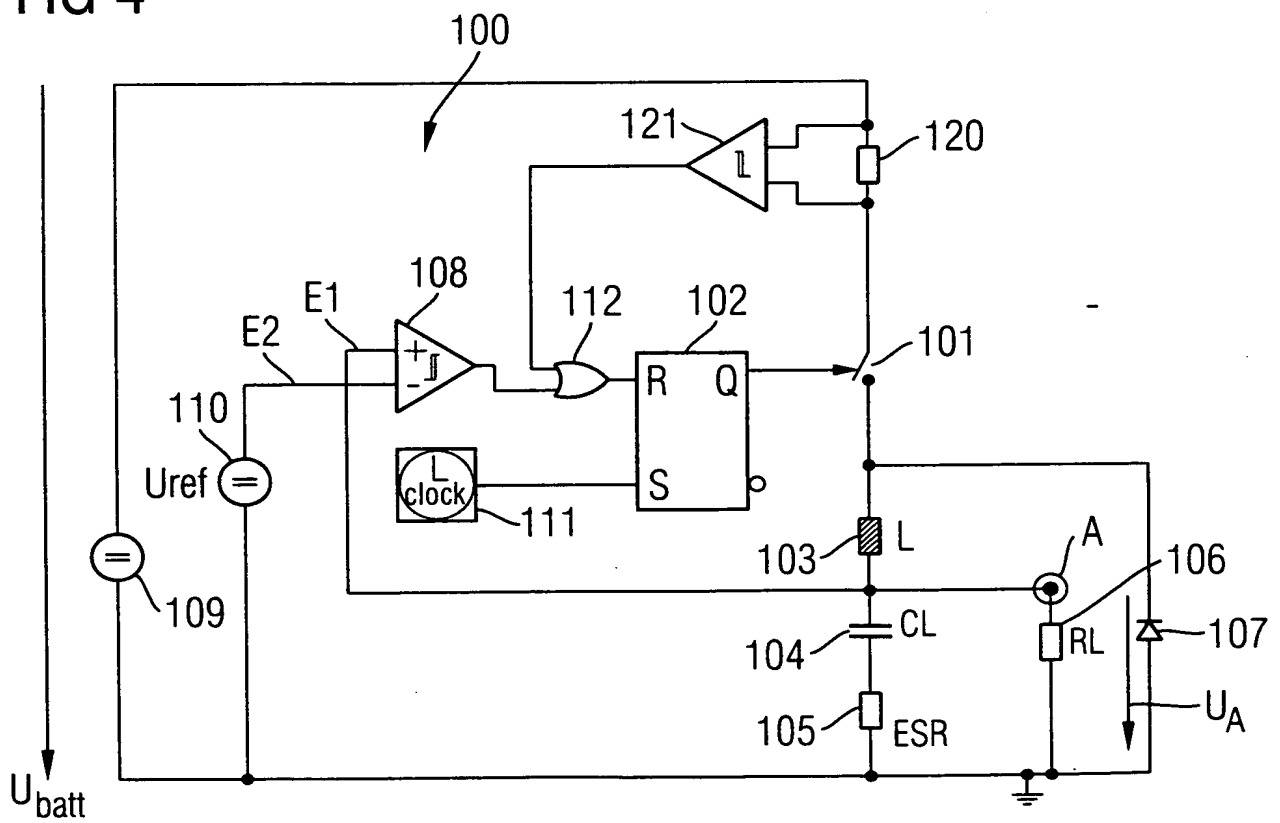


FIG 5

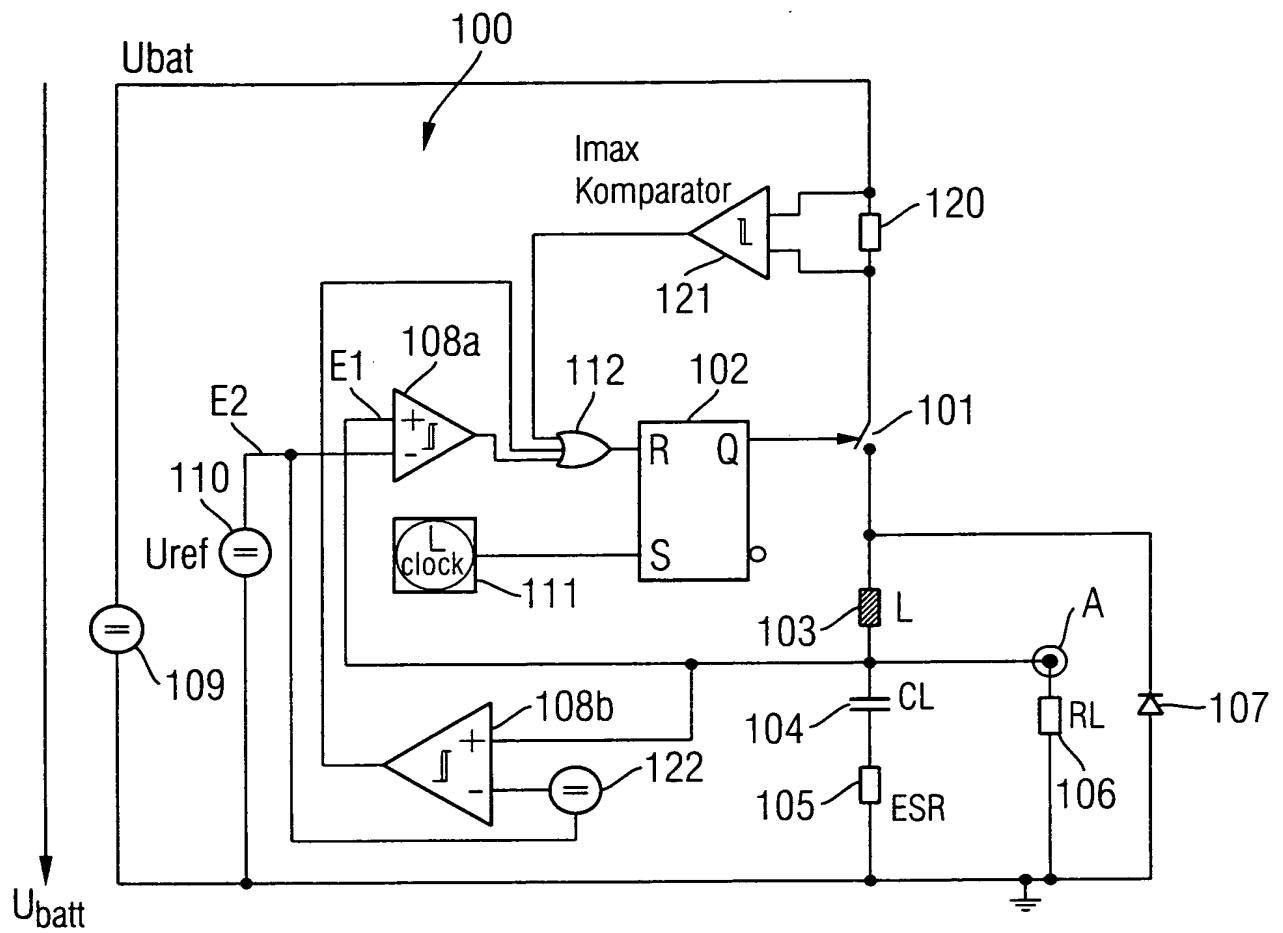


FIG 6

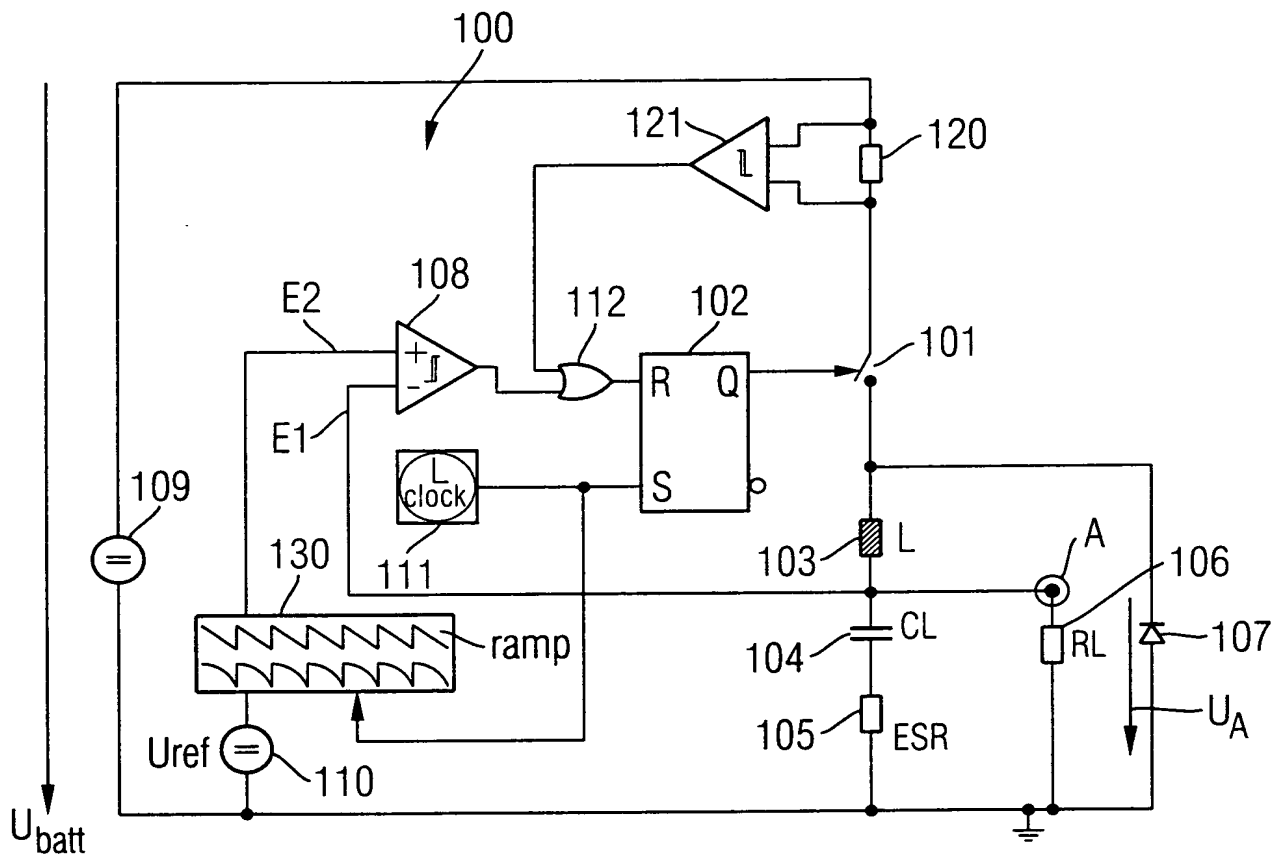
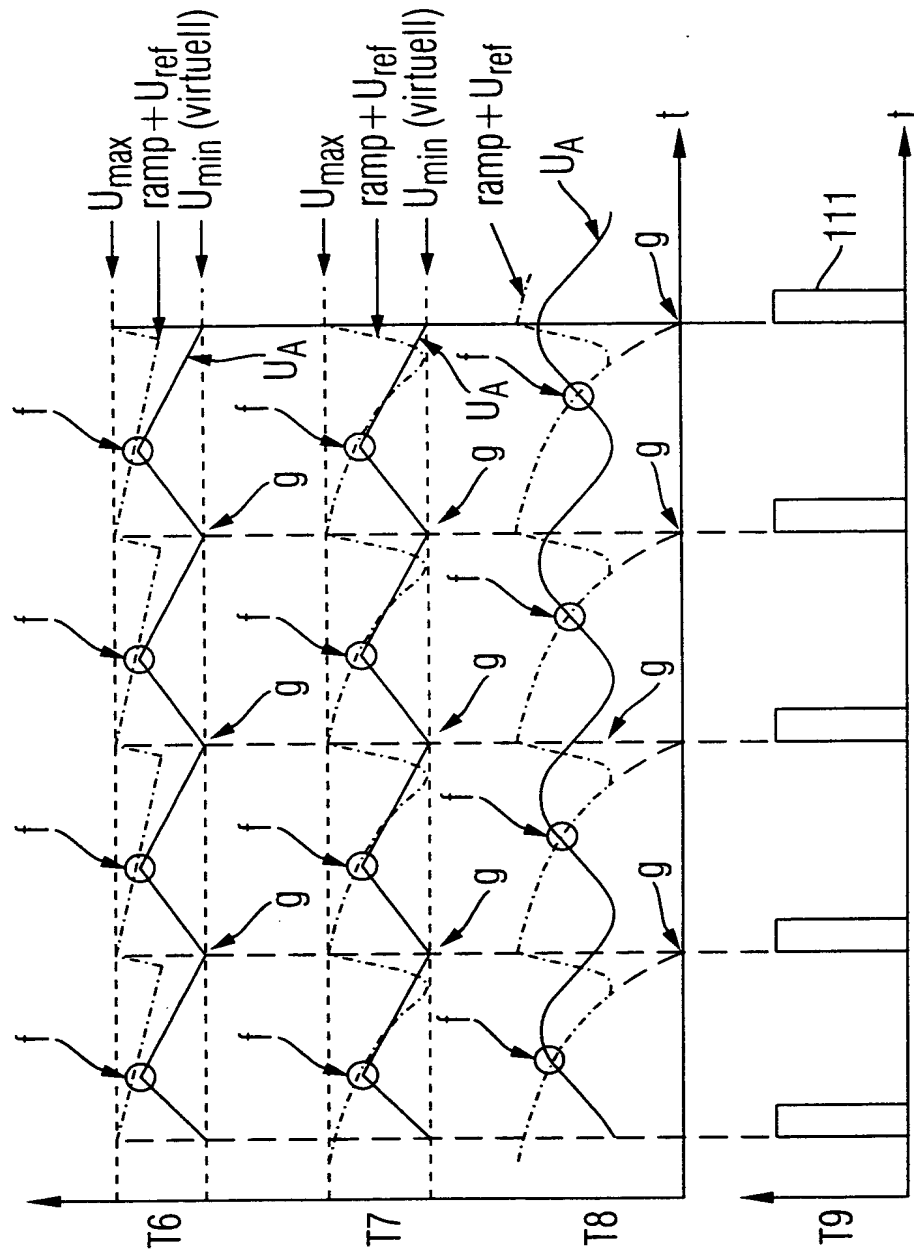


FIG 7



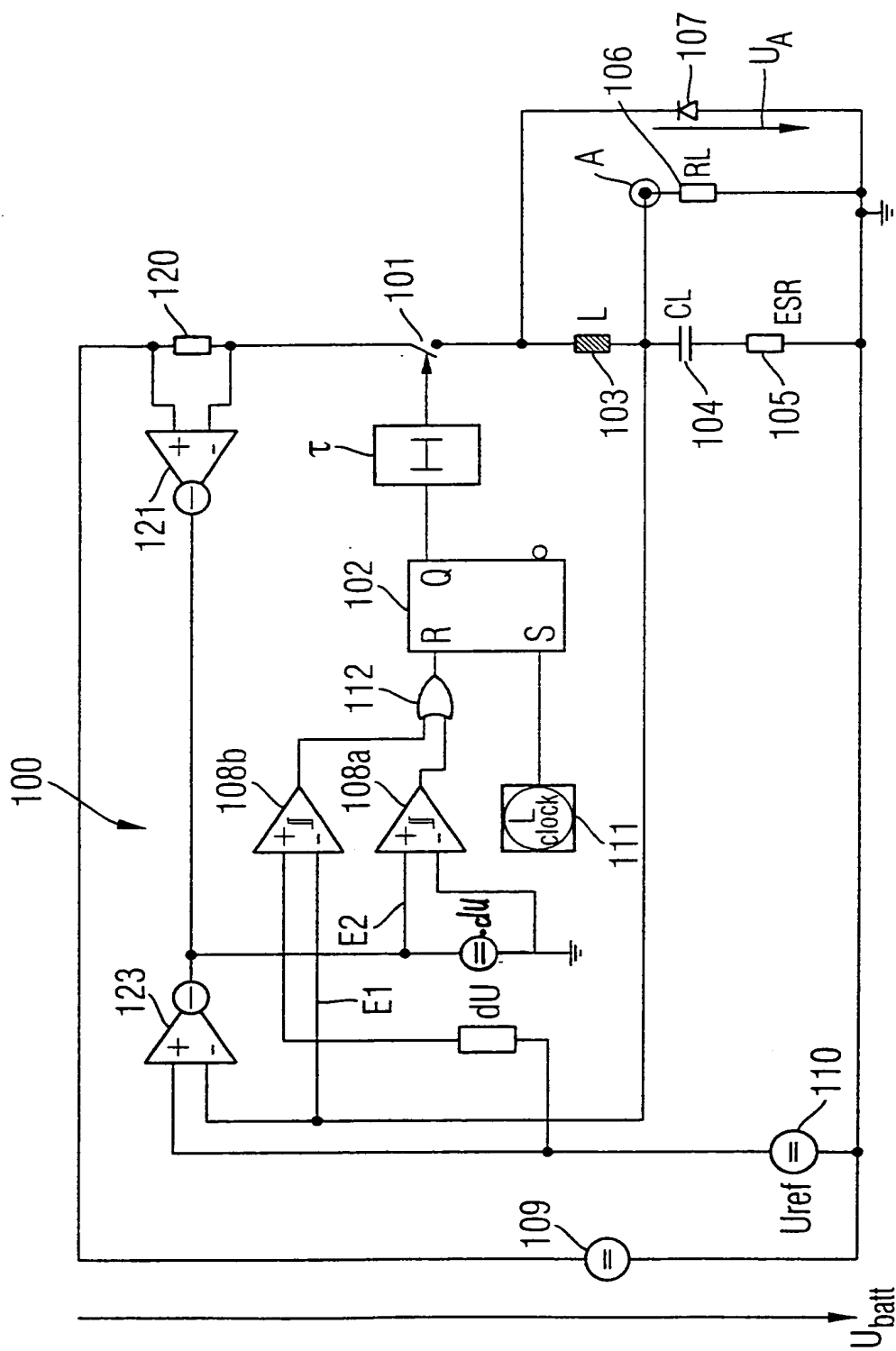


FIG 8

Figur für die Zusammenfassung

FIG 3

